Jahresbericht

von Prof. Dr. Matthias Fertig

Universität Konstanz
für angewandte Wissenschaften

2021

Dieser Jahresbericht informiert über meine Tätigkeiten in der akademischen Lehre, Forschung- und Entwicklung an der Universität für angewandte Wissenschaften in Konstanz.

Vorwort

S.1 Universal Memory Machines für SystemVerilog

S.2 Laufzeitoptimierung elektromagnetischer Fourier Simulatoren

S.3 Energieerhaltung elektromagnetischer Fourier Simulatoren

S.4 FPGA-Board zur Entwicklung von digitalen Schaltungen

S.5 Verschiedenes

Vorwort

Liebe Leser und Leserinnen,

auch das Jahr 2021 war von Online-Lehre geprägt und viele Studenten profitierten von dem Umstand, keine Wohnung suchen und anmieten zu müssen – was in Konstanz zweifelsfrei ein Problem darstellt. So erinnere ich mich an einen Studenten, der sehr glücklich über die Online-Lehre war, da er neben dem Studium im elterlichen Betrieb mithelfen konnte. Ein anderer Student saß im Auto und hat von dort an der Vorlesung teilgenommen und wieder andere haben sich in kleinen Gruppen organisiert. So wurde aus der anfänglichen Notlösung eine willkommene Flexibilisierung, die in zunehmendem Maß gewünscht und von modernen Hochschulen erwartet wird. Gerade im Grundstudium, wo es hauptsächlich um die Wissensvermittlung und nicht den wissenschaftlichen Diskurs geht, ist die Online-Lehre geradezu ideal geeignet, Studienanfängern eine ortsungebundene Orientierungsmöglichkeit zu bieten und die Entscheidung für oder gegen eine Hochschule bzw. einen Studiengang zu erleichtern. Die oft als Gegenargument zur Online-Lehre angeführte *‚Anonymität'* konnte ich nicht feststellen und auch das vielzitierte *‚studentische Leben am Campus'* findet nicht IN den Lehrveranstaltungen statt. Studenten sind es heutzutage gewohnt, über soziale Medien in Kontakt zu treten und sich dort zu organisieren. Mit fortschreitender Digitalisierung werden Fähigkeiten im Umgang mit digitalen Medien sowie das Arbeiten im virtuellen Raum auch für das Berufsleben unerlässlich. Das ist, neben der fachlichen Qualifikation, eine Erwartungshaltung der Arbeitgeber.

Nach dem Ende des Sommersemesters war ich ab September im Freistellungssemester. An dieser Stelle vielen Dank an die Kollegen, die meine Veranstaltungen im Wintersemester 2021 übernommen haben. Ebenso vielen Dank an die Fakultät und das Präsidium der Hochschule, die das Freistellungssemester unterstützt und genehmigt haben. Organisatorisch kam die Freistellung sehr gelegen, da sich die bundesweit sinkenden Studierendenzahlen in den Fächern Elektrotechnik und Informationstechnik zwischenzeitlich nachhaltig an der Fakultät EI bemerkbar machen. So wurde aus der Freistellung eine für alle Beteiligten willkommene Angelegenheit.

Aufgrund der aus- und nachdrücklichen Bedingung des Präsidiums und der Fakultät, die Zeit der Freistellung keinesfalls für die Verbesserung bestehender oder für die Entwicklung neuer Lehrveranstaltungen zu nutzen, mussten einige ursprünglich für die Freistellung vorgesehene Aktualisierungen sowie die Fertigstellung des Wahlpflichtfachs *‚SystemVerilog for Verification'* leider ausfallen. Das ist wirklich sehr schade, denn gerade durch die Aktualisierung von Inhalten und Lehrkonzepten sowie neuen Veranstaltungsangeboten bleiben Studiengänge aktuell und interessant für Studienanfänger.

Die Aktivitäten meines Freistellungssemesters waren:

- Weiterentwicklung der Universellen Speicherautomaten (UMA) für SystemVerilog
- Inbetriebnahme eines FPGA-Boards (Drittmittel der MPC-Gruppe)
- Implementierung der BPM und WPM auf einer massiv parallelen Hardware (GPU)
- Entwicklung und Implementierung von Single-Thread Optimierungen für die *BPM* und *WPM*
- Untersuchung und Optimierung der Energieerhaltung für die *VWPM*

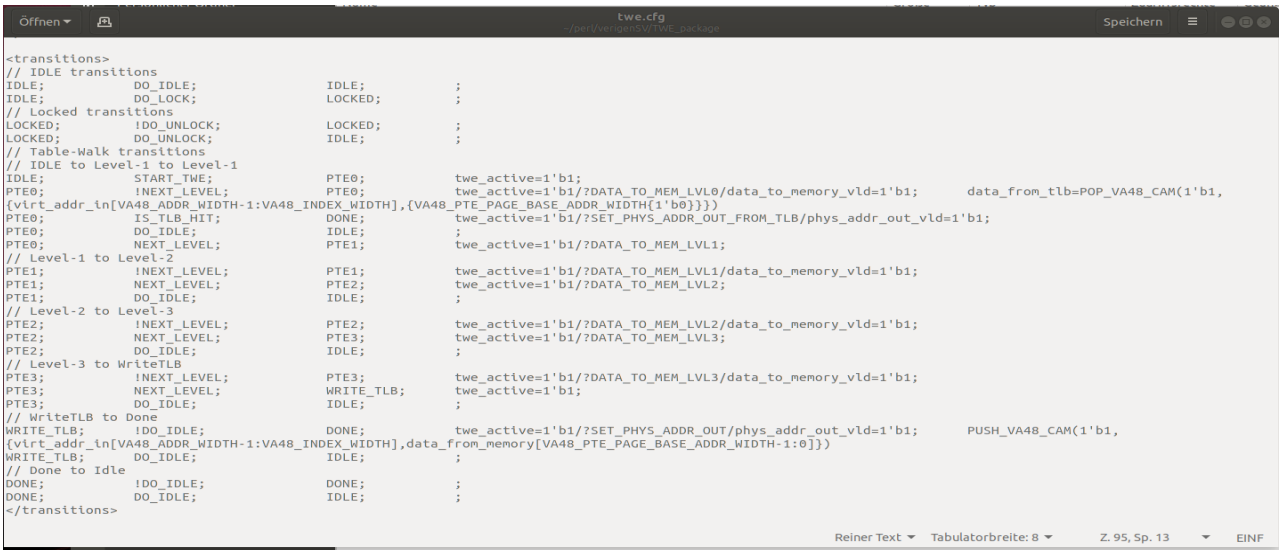
Über diese Arbeiten und den Tätigkeiten aus meiner regulären Dienstzeit des Jahres 2021 berichte ich auf den folgenden Seiten. Viel Freude beim Lesen!

Herzlichst Ihr
Matthias Fertig

Universal Memory Automaten

mit SystemVerilog

Die Universal Memory Architektur (Fertig 2020, *pdf*) wird mittels Universal Memory Automaten implementiert. Bisher wurde dazu die Hardwarebeschreibungssprache Verilog genutzt. Mit der aktualisierten Version des Softwarepakets VERIGEN [tgz] besteht nun die Möglichkeit, Universelle Speicherautomaten mit SystemVerilog zu implementieren. Dazu wird ein einfacher Formalismus eingesetzt, der aus erweiterten Komponenten eines Endlichen Deterministischen Automaten besteht und Sprachkonstrukte von SystemVerilog nutzt [w3]. VERIGEN erzeugt synthetisierbaren Verilog Code. Im Vergleich zur Vorgängerversion bietet die Software erweiterte Möglichkeiten zur Spezifikation und Konfiguration von Speichern, Zustandsübergängen, Hierarchien usw. Darüberhinaus nutzt das Programmpaket nun die freie Simulationsumgebung VERILATOR [w3] und bietet damit die Möglichkeit zur Simulation und Verifikation. Die Umgebung bietet einige Beispiele, um die Vielseitigkeit des Werkzeugs VERIGEN zu demonstrieren.

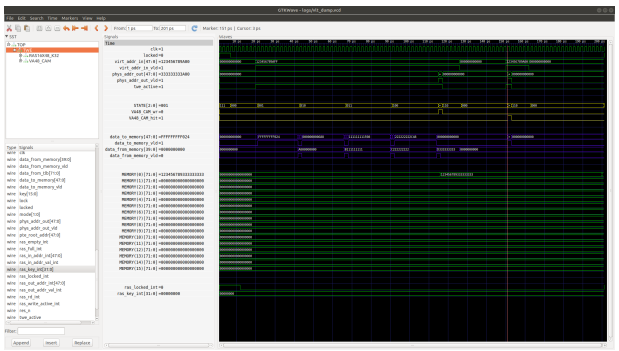



```
<transitions>
// IDLE transitions
IDLE;           DO_IDLE;                IDLE;           ;
IDLE;           DO_LOCK;                LOCKED;         ;
// Locked transitions
LOCKED;         !DO_UNLOCK;             LOCKED;         ;
LOCKED;         DO_UNLOCK;              IDLE;           ;
// Table-Walk transitions
// IDLE to Level-1 to Level-1
IDLE;           START_TWE;              PTE0;           twe_active=1'b1;
PTE0;           !NEXT_LEVEL;            PTE0;           twe_active=1'b1/?DATA_TO_MEM_LVL0/data_to_memory_vld=1'b1;      data_from_tlb=POP_VA48_CAM(1'b1,
{virt_addr_in[VA48_ADDR_WIDTH-1:VA48_INDEX_WIDTH],{VA48_PTE_PAGE_BASE_ADDR_WIDTH{1'b0}}})
PTE0;           IS_TLB_HIT;             DONE;           twe_active=1'b1/?SET_PHYS_ADDR_OUT_FROM_TLB/phys_addr_out_vld=1'b1;
PTE0;           DO_IDLE;                IDLE;           ;
PTE0;           NEXT_LEVEL;             PTE1;           twe_active=1'b1/?DATA_TO_MEM_LVL1;
// Level-1 to Level-2
PTE1;           !NEXT_LEVEL;            PTE1;           twe_active=1'b1/?DATA_TO_MEM_LVL1/data_to_memory_vld=1'b1;
PTE1;           NEXT_LEVEL;             PTE2;           twe_active=1'b1/?DATA_TO_MEM_LVL2;
PTE1;           DO_IDLE;                IDLE;           ;
// Level-2 to Level-3
PTE2;           !NEXT_LEVEL;            PTE2;           twe_active=1'b1/?DATA_TO_MEM_LVL2/data_to_memory_vld=1'b1;
PTE2;           NEXT_LEVEL;             PTE3;           twe_active=1'b1/?DATA_TO_MEM_LVL3;
PTE2;           DO_IDLE;                IDLE;           ;
// Level-3 to WriteTLB
PTE3;           !NEXT_LEVEL;            PTE3;           twe_active=1'b1/?DATA_TO_MEM_LVL3/data_to_memory_vld=1'b1;
PTE3;           NEXT_LEVEL;             WRITE_TLB;      twe_active=1'b1;
PTE3;           DO_IDLE;                IDLE;           ;
// WriteTLB to Done
WRITE_TLB;      !DO_IDLE;               DONE;           twe_active=1'b1/?SET_PHYS_ADDR_OUT/phys_addr_out_vld=1'b1;      PUSH_VA48_CAM(1'b1,
{virt_addr_in[VA48_ADDR_WIDTH-1:VA48_INDEX_WIDTH],data_from_memory[VA48_PTE_PAGE_BASE_ADDR_WIDTH-1:0]})
WRITE_TLB;      DO_IDLE;                IDLE;           ;
// Done to Idle
DONE;           !DO_IDLE;               DONE;           ;
DONE;           DO_IDLE;                IDLE;           ;
</transitions>
```

Auszug aus der UMA-Konfigurationsdatei für eine 3-stufige Table-Walk-Engine mit TLB. Das Textsegment zeigt die Zustandsübergänge für den TLB-Lesezugriff, den Table-Walk bei TLB miss, und den TLB-Schreibzugriff mit der physikalischen Adresse. (Entwicklungszeit bis zur ersten Simulation: ca. 1 Tag)

Folgende einfache Beispiele stehen zum Download bereit [w3]:

- ► Return Address Stack
- ► Dual-Port Queue mit alternierendem Schreib und parallelem Lesezugriff



Simulation einer 3-stufigen Table-Walk-Engine mit Translation-Lookaside Buffer. Entwickelt mit Universal Memory Architecture. In der Darstellung ist der Zeitpunkt eines TLB-hit markiert.

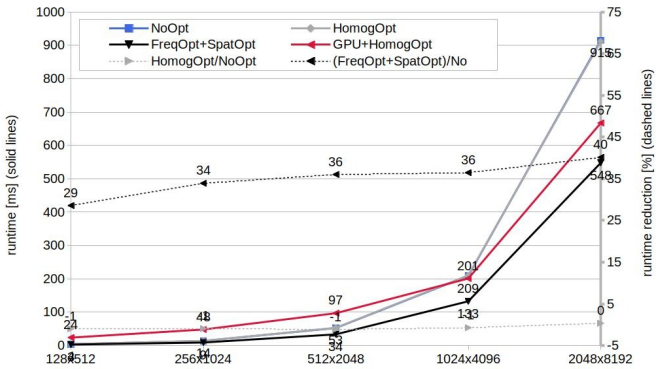
- ► Parametrized Content Addressable Memory
- ► Parametrized 3-level Table-Walk-Engine w/ TLB
- ► Cache Coherency Engine (MESI)
- ► Parametrized 1st Level Cache (Intel Opteron)

Alle Beispiele verfügen über einen sogenannten Key-Lock Mechanismus, der zum Beispiel mit der Prozess-ID verknüpft werden kann, um den Zugriff auf Hardware-Instanzen exklusiv zu ermöglichen.

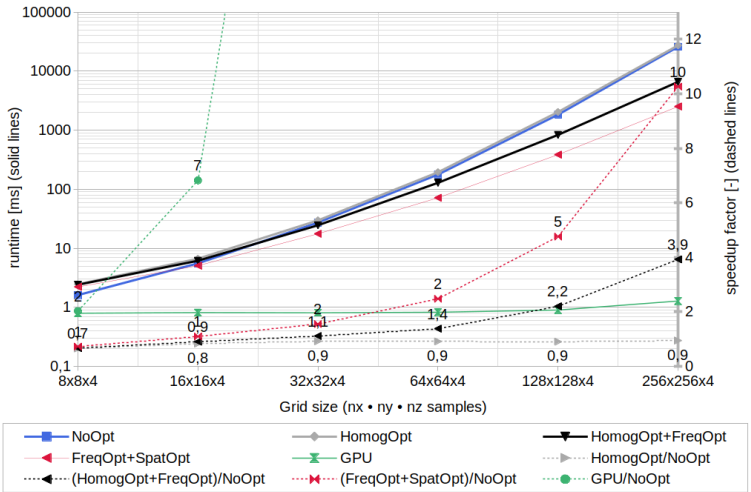
Laufzeitoptimierung

für Beam und Wave Propagation Method

Die Fourier-Methoden BPM (Feit & Fleck 1978), WPM (Brenner & Singer 1993) und VWPM (Fertig & Brenner 2010) bieten hinsichtlich Laufzeit und Speicherbedarf Vorteile im Vergleich zu anderen Methoden wie die RCWA oder den sogenannten rigorosen Methoden wie das FDTD Verfahren. Daher finden die genannten Methoden für die Simulation von elektromagnetischen Feldverteilungen in komplexen Systemen (z.B. Mikro-Optiken) Anwendung. Da bei der Entwicklung derartiger Systeme eine Vielzahl Parameter optimiert werden müssen, ist eine Laufzeitoptimierung sinnvoll, um die nötigen Simulationsläufe möglichst schnell durchführen zu können. Eine Möglichkeit die Laufzeit zu optimieren, ist die Implementierung auf einem massiv parallelen System, wie zum Beispiel einer Grafikkarte. Um dort gute Ergebnisse zu erzielen, muss der Algorithmus parallelisierbare Sequenzen aufweisen. Im Rahmen der Laufzeitoptimierung der skalaren BPM und WPM wird die parallele Implementierung mit unterschiedlichen Optimierungen der Single-Thread Implementierung verglichen. Die entwickelte Programmierumgebung ist in Form einer Programmbibliothek im Internet verfügbar [w3]. Sie bietet weiterhin die Möglichkeit, eigene Algorithmen und Optimierungen zu entwerfen [tgz]. Dazu wird eine aufwändige Benchmark-Umgebung zur Verfügung gestellt.



Laufzeitverhalten der skalaren Beam Propagation Methode für inhomogene Indexverteilungen mit und ohne Lauzeitoptimierung im Vergleich zur Implementierung auf einem massiv parallelen System (GPU).



Laufzeitverhalten der skalaren Wave Propagation Methode für inhomogene Indexverteilungen mit und ohne Laufzeitoptimierung im Vergleich zur Implementierung auf einerm massiv parallelen System (GPU).

Die Umgebung bietet die Möglichkeit, die entwickelten Algorithmen zu testen und die Benchmarks dazu nach eigenen Vorstellungen zu konfigurieren, die Ergebnisse der Standardalgorithmen automatisch auf Korrektheit zu testen und die Laufzeiten mit den unterschiedlichen Optimierungsstufen zu vergleichen. Die Optimierungsstufen sind für BPM [PDF] und WPM [PDF] in zwei technischen Berichten ausführlich dokumentiert.

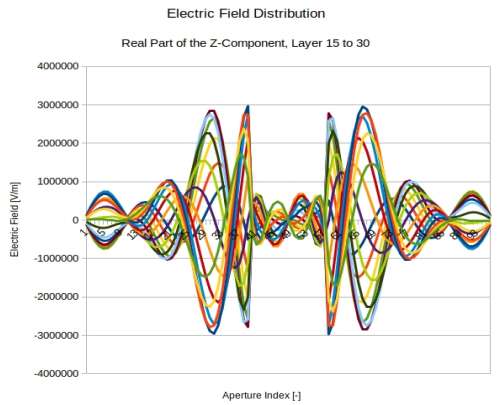
[1] M. Fertig, *„Runtime Optimizations for the Split-Step Beam Propagation Method“*, Technical Report, August 2021, unpublished, [PDF]

[2] M. Fertig, *„Runtime Optimizations for the Wave Propagation Method“*, Technical Report, October 2021, unpublished. [PDF]

Energieerhaltung

der Vector Wave Propagation Methode

Die Vector Wave Propagation Method (Fertig & Brenner 2010) ist eine Erweiterung der WPM (Brenner & Singer 1993) auf Vektorwellen. Der ursprünglich unidirektionale Algorithmus wurde auf bidirektionale Ausbreitung und für evaneszente Wellen erweitert (Fertig 2011). Wie die BPM und WPM zeigt auch die VWPM unter bestimmten Bedingungen eine Verletzung der Energieerhaltung. In diesen Szenarien ist die Korrektheit der Ergebnisse im Bezug auf Energie und Leistung eingeschränkt. Dieses Problem der Energieerhaltung in Fourier-basierten Methoden ist bekannt und bislang ungelöst. Es wäre wünschenswert, sowohl die numerische Stabilität der Methode als auch die Korrektheit der Simulationsergebnisse für bestimmte Anwendungen zu erreichen.

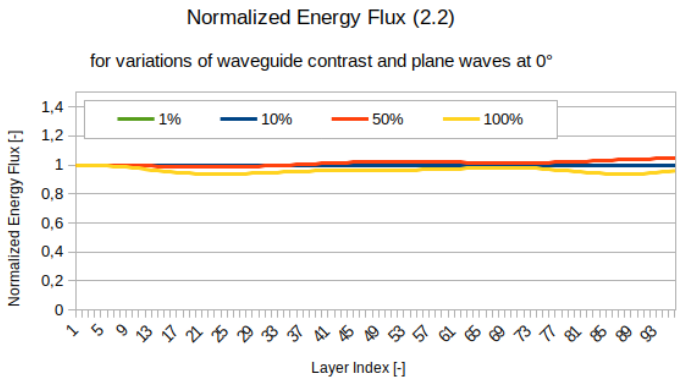


Instabilität der z-Komonente des elektrischen Feldes an der Grenze des Wellenleiters verursacht durch Fliesskomma-Arithmetik.

Die Arbeit zur Energieerhaltung analysiert die Umstände, unter denen es zu einer Verletzung es Energieerhaltungssatzes kommt und untersucht folgende Methoden zur numerischen Stabilisierung sowie deren Einfluss auf die Korrektheit des Energieflusses.

- Approximation der evaneszenten Grenze
- Modellierung der Wellen im evaneszenten Modenraum
- Berücksichtigung der lateralen Feldabhängigkeit
- Anti-Aliasing Filter, Mittelwert- und Gauß-Filter
- Statische und Adaptive Begrenzung des Modenraums

Die Ergebnisse zeigen, daß eine numerische Stabilisierung des Energieflusses grundsätzlich möglich ist.



Stabilisierter Energiefluss für Wellenleiter mit Indexkontrast zwischen 1% und 100%. Der Wellenleiter wird mit einer Planwelle traversiert.

Die Deutung der Korrektheit der Ergebnisse gestaltet sich schwierig, da die Fourier-Theorie nicht immer mit der optischen Theorie in Einklang gebracht werden kann. Dies betrifft insbesondere die evaneszenten Moden und lässt derzeit vermuten, daß eine Korrektheit der Ergebnisse für alle untersuchten Indexverteilungen nicht zu erreichen ist. Eine kurze Präsentation der Inhalte und Ergebnisse steht zum Download bereit [PDF]. Die für die Untersuchungen entwickelten Programme und Benchmarks stehen in Form der Programmbibliothek und den Skripten zur Verfügung [tgz]. Die Umgebung bietet die Möglichkeit, die Optimierungsansätze frei zu kombinieren und eigene Algorithmen zu entwickeln. Die mitgelieferte Benchmark erlaubt eine beliebige Kombination der bisher untersuchten Maßnahmen (siehe oben) zur Einhaltung des Energieerhaltungssatzes.

[1] M. Fertig, *„Conservation Law and the VWPM“*, Presentation, December 2021, unpublished, [PDF]

Inbetriebnahme des FPGA-Board

zur Implementierung und Verifikation von digitalen Schaltungen

Das Xilinx KCU-105 Evaluation Board.

Im März 2021 erreichte mich das von der MPC-Gruppe finanzierte *XILINX KCU-105 Evaluation Kit* sowie ein Desktop-Rechner. Nochmals besten Dank an die MPC-Gruppe für die finanzielle Unterstützung! Die Inbetriebnahme musste aufgrund des laufenden Semesters bis zur Jahresmitte warten.

Im nächsten Schritt soll die Universal Memory Architecture (UMA) [w3] für das FPGA synthetisiert und die implementierte Funktion dort verifiziert werden.

Mittelfristig soll ein Großteil der digitalen Komponenten eines RISC-Prozessors über die Universal Memory Architecture implementiert und auf dem FPGA verifiziert werden. Damit soll die Flexibilität des Entwicklungsansatzes und durch den entstehenden RISC-Prozessor ein Vehikel für Forschung und Lehre entwickelt werden. Besonders vielversprechend erscheint dabei die Untersuchung von in die Prozessorpipeline integrierten Hardwarebeschleunigern für rechenintensive und/oder vernetzte Anwendungen [PDF].

Masterarbeiten

[3] N. Weiher, *RISC-V Load Store Unit and the Virtual Memory System Design*, Masterarbeit am Institut für Technische Informatik der Universität Heidelberg, Zweitgutachter, 04/2021.

[2] T. Bühler, *Pipeline Control, Scoreboard and Commit Strategy of a RISC-V Microprocessor*, Masterarbeit am Institut für Technische Informatik der Universität Heidelberg, Zweitgutachter, 04/2021.

[1] J. Philipp, *Entwicklung einer Instruction-Fetch-Einheit mit Sprungvorhersage für einen RISC-V Prozessor*, Masterarbeit am Institut für Technische Informatik der Universität Heidelberg, Zweitgutachter, 04/2021.

Praktisches Studiensemester

[4] A. Büsra, *Organisation, Durchführung und Dokumentation von Fahrzeugtests für Pressefahrzeuge*, Mercedes-AMG GmbH, 08/2021.

[3] L. Fuchs, *Beurteilung von Industrieumrichtern der Leistungsklasse 0.75kW bis 75kW*, Lenze Schmidhauser, 08/2020.

[2] V. Herzog, *Ermittlung des Marktpotentials für Logistiklösungen mit Taschensortern*, EMHS GmbH, 08/2021.

[1] M. Kromer, *Prüfverfahren zur Schnelltestauswertungen mit Lateral Flow und Disk Reader*, DIALUNOX GmbH, 08/2020

Kursangebot

Grundlagenfächer: Digitaltechnik [*w3*], Elektrotechnik 1 [*w3*], Elektrotechnik 2 Grundlagenlabor [*w3*]

Wahlpflichtfächer: Labor Elektromagnetische Simulation [*w3*], ASIC-Design mit SystemVerilog [*w3*], Photoniklabor [*w3*], Optik und Photonik [*w3*]

Publikationen, Arbeitsberichte & Präsentationen

M. Fertig, *„Conservation Law and the VWPM“, Präsentation*, 12/2021 [*pdf*]

M. Fertig, *„Runtime Optimizations for the Wave Propagation Method“*, Arbeitsbericht, 10/2021 [*pdf*]

M. Fertig, *„Runtime Optimizations for the Beam Propagation Method“*, Arbeitsbericht, 8/2021 [*pdf*]

Konstanz, January 2022

Text und Layout: *Prof. Dr. Matthias Fertig*