

# Online-Klausur

---

Name: ..... Matrikelnummer: .....

Studiengang: ..... Unterschrift: .....

Bearbeitungszeit: 90 Minuten

Gesamtpunktzahl: 60 P

Mindestpunktzahl zum Bestehen: 30 P

1. Verwenden Sie keinen Bleistift oder Rotstift!
  2. Unleserliche Angaben werden nicht gewertet!
  3. Verwenden Sie einen Notizbogen für Nebenrechnungen!
  4. Geben Sie den Rechenweg klar strukturiert und leserlich an!
  5. Lösungen ohne Rechenweg werden nur bewertet falls von der Aufgabe vorgegeben!
  6. Nur Lösungen in den Lösungsfeldern werden gewertet!

Nutzen Sie ggf. die Lösungsboxen der englischen Version!

# Online-Examination

---

Name: ..... Student number: .....

Branch of studies: ..... Signature: .....

Working time: 90 Minutes

Total points: 60 P

Minimum points to pass: 30 P

1. Do not use lead pen or red ink!
2. Unreadable sections are not assessed!
3. Use an additional sheets for side calculatipons!
4. Give your solutions clearly structured and readable!
5. Solutions without calculation will be assessed only if demanded by the exercise!
6. Solutions will be assessed only if given in the text boxes!  
Use the text boxes of the german version if required!

## Selbstständigkeitserklärung Statement of Authorship

### Persönliche Angaben

Name: \_\_\_\_\_  
(Last name)

Vorname: \_\_\_\_\_  
(First name)

Matrikelnummer: \_\_\_\_\_  
(Student-ID)

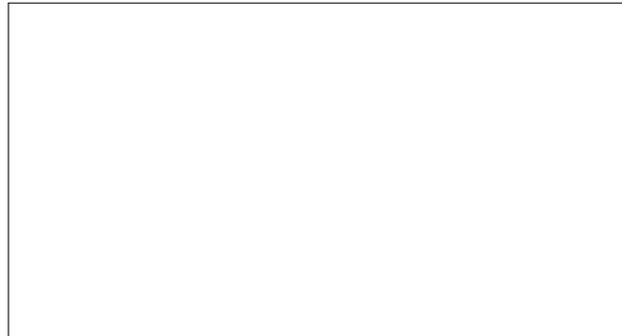
Studiengang: \_\_\_\_\_  
(Program)

### Angaben zur Prüfung

Prüfungsdatum: \_\_\_\_\_  
(Exam date)

Home-Office:

### Studierendenausweis



Hiermit versichere ich, dass ich die oben bezeichnete Leistung selbstständig und ohne unzulässige fremde Hilfe sowie ohne Heranziehung nicht zugelassener Hilfsmittel bearbeitet habe. Mir ist bewusst, dass der Verstoß gegen prüfungsrechtliche Regelungen über die Täuschung bei der Erbringung von Prüfungsleistungen an die Hochschule gemeldet wird.

I declare that I have worked on the above-mentioned assessment independently and without unauthorized assistance. I also confirm that I have not used any non-permissible resources. I am aware that the violation of examination regulations or cheating during examinations is reported to the University.

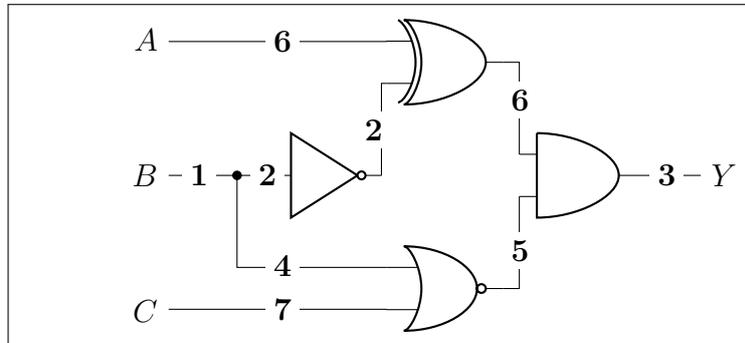
Ort, Datum: \_\_\_\_\_  
(Place, date)

Unterschrift: \_\_\_\_\_  
(Signature)

**This page intentionally left blank.**

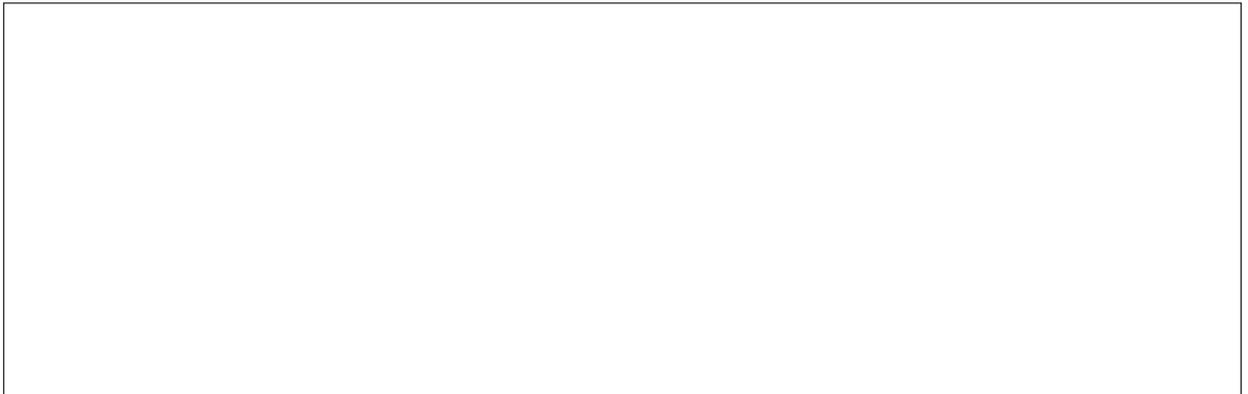
**Aufgabe 1: Statische Timinganalyse (STA) (20 Punkte)**

Gegeben sei folgende digitale Schaltung.



1. Geben Sie die logische Tiefe der Schaltung an, sowie den Pfad entlang der logischen Tiefe. (2 Punkte)

Markieren Sie diesen Pfad in der gezeigten Schaltung.



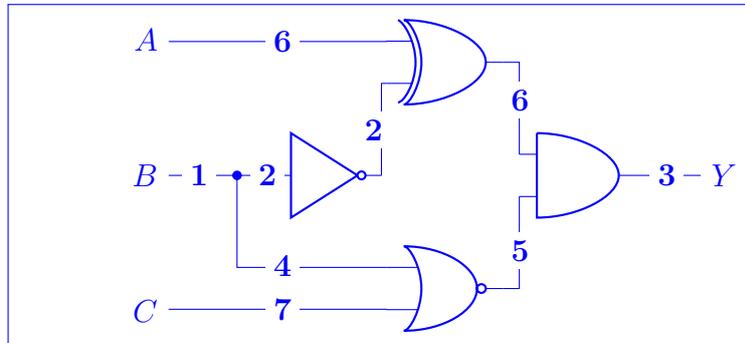
Die gezeigten Gatter haben die Latenzen

Gatter	$RR$ [FO4]	$RF$ [FO4]	$FR$ [FO4]	$FF$ [FO4]
NOT	–	5	4	–
AND	14	–	–	16
NAND	–	9	8	–
OR	11	–	–	20
NOR	–	8	10	–
XOR	14	13	12	16

Hinweis: Die Angabe FO4 spielt für die Berechnung keine Rolle.

**Exercise 1: Static Timing Analysis (STA) (20 Points)**

Given the following digital circuit.



1. Give the logic depth of the circuit and the path along the logic depth. (2 Points)

**Mark this path in the shown circuit.**



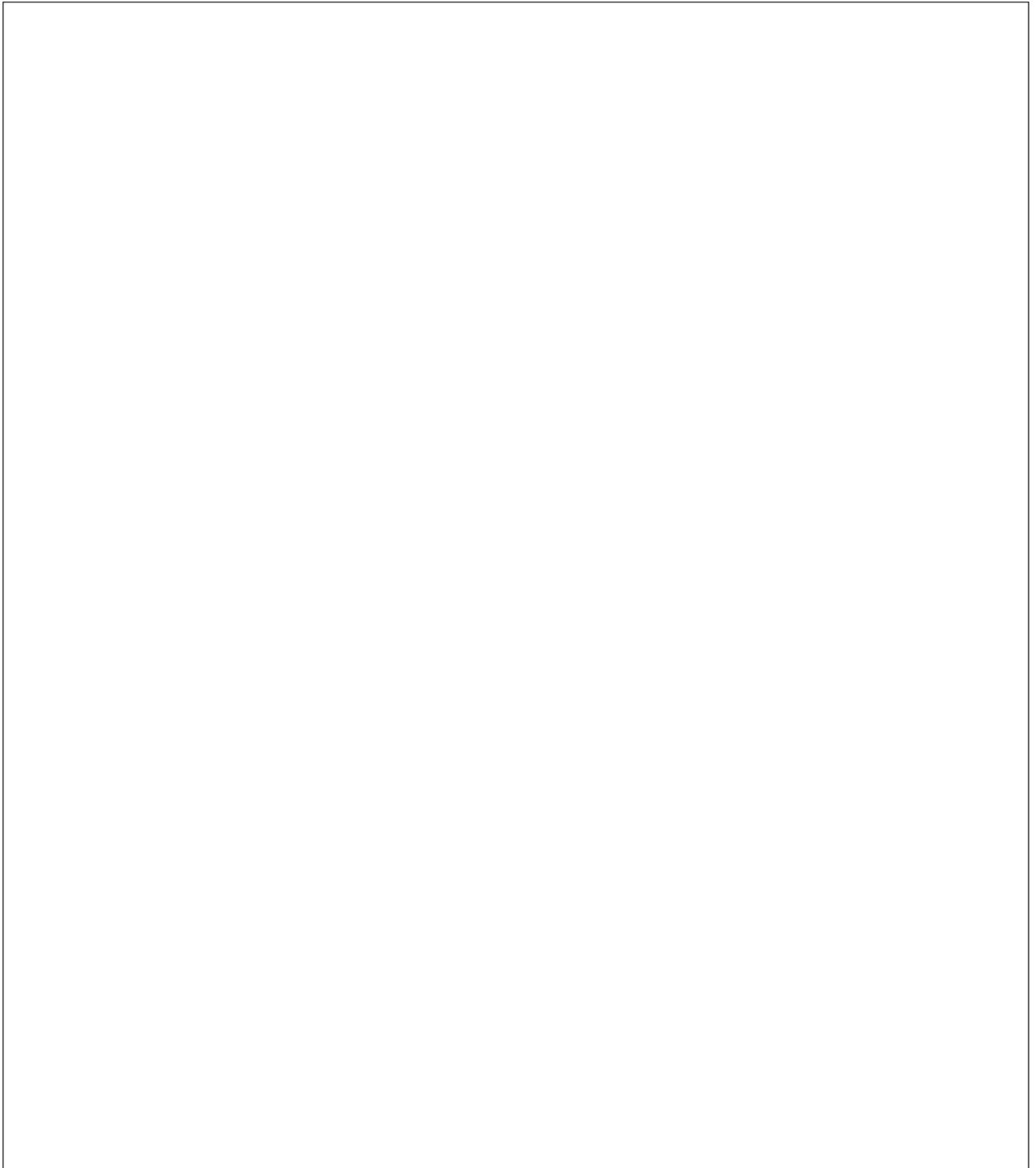
The shown gates have the latencies

Gate	$RR$ [FO4]	$RF$ [FO4]	$FR$ [FO4]	$FF$ [FO4]
NOT	—	5	4	—
AND	14	—	—	16
NAND	—	9	8	—
OR	11	—	—	20
NOR	—	8	10	—
XOR	14	13	12	16

Hint: The specification FO4 does not matter for the calculation.

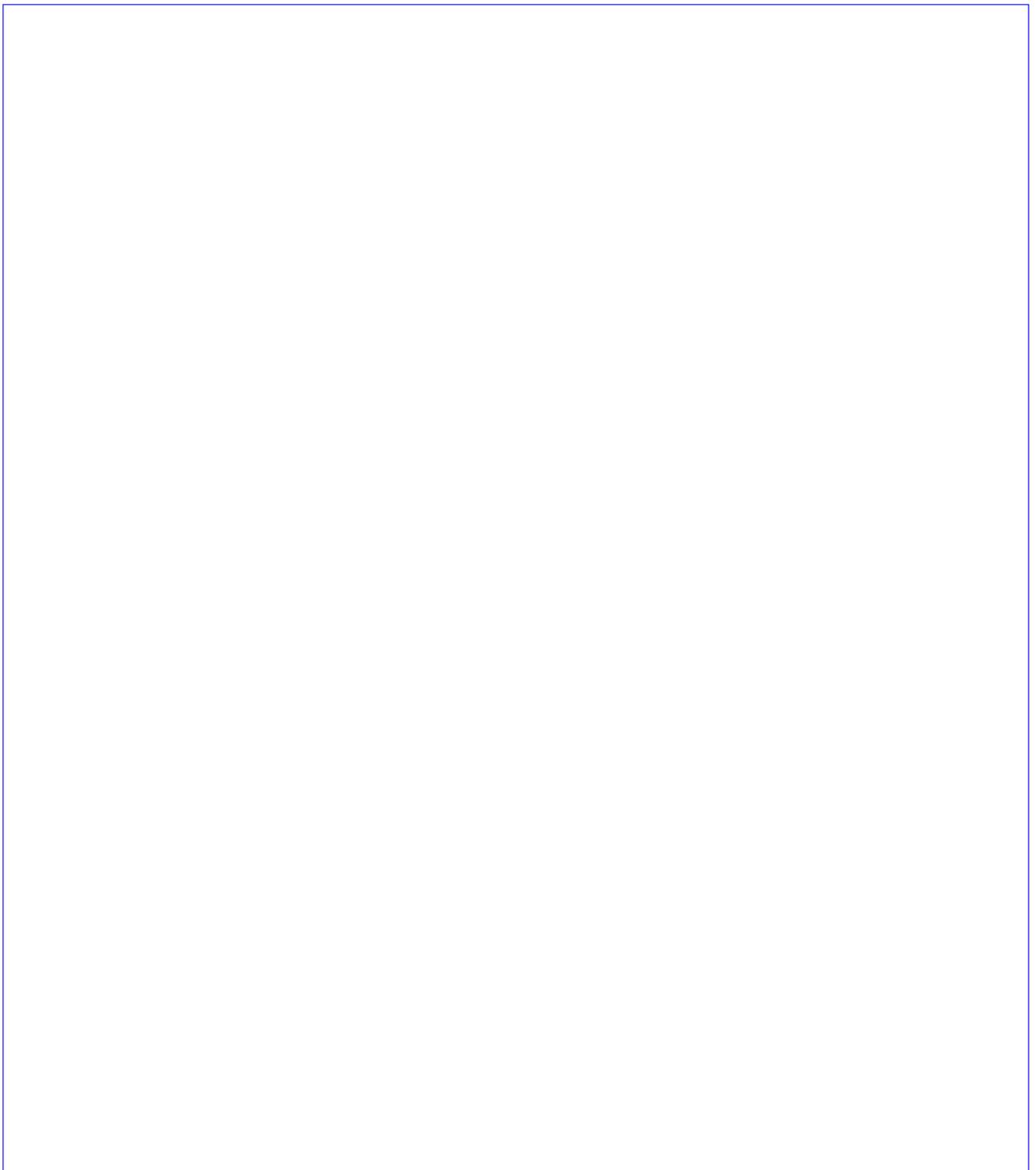
2. Erstellen Sie das Timingmodell für die gezeigte Schaltung und berechnen Sie die spätesten Ankunftszeiten am Ausgang  $Y$  für folgende Ankunftszeiten an den Eingängen. (10 Punkte)

Eingang	AT
A	$25r / 18f$
B	$14r / 9f$
C	$10r / 15f$



2. Create the timing model for the shown circuit and calculate the latest arrival times at the output  $Y$  for the following arrival times at the inputs. (10 Points)

Input	AT
A	$25r / 18f$
B	$14r / 9f$
C	$10r / 15f$



3. Erstellen Sie ein Ersatz-Latenzmodell für die Schaltung für den Pfad (8 Punkte) von B nach S. Berechnen Sie für diesen Pfad die Latemode-Latenzen mit genullten Ankunftszeiten für B. **Rechnen Sie auf einem Schmierblatt! Geben Sie nur das Ergebnis in Form eines Timingmodells an!**

3. Develop an equivalent timing model for the circuit for the path B to S. Calculate the latencies for this path with zero input arrival times at B. **Perform the calculations on a separate sheet. Show the result as a timing model solely!** (8 Points)

**Aufgabe 2: Digitale Arithmetik****(20 Punkte)**

1. Erstellen Sie einen Zahlenkreis für eine Wertemenge im Zweierkomplement mit zwei Vor- und zwei Nachkommastellen. **(6 Punkte)**



2. Geben Sie den Wertebereich an für Werte im 127-Exzess Code mit acht Vor- und keinen Nachkommastellen. **(2 Punkte)**



3. Für welchen allgemeinen Offset hat ein Offset-Code den gleichen Wertebereich wie ein Zweierkomplement-Code? Beide Codes mit  $p$  Vor- und  $q$  Nachkommastellen. **(2 Punkte)**



**Exercise 2: Digital Arithmetics****(20 Points)**

1. Create a number circle for a set of values in Two's complement with two pre-decimal and two decimal places. **(6 Points)**



2. Give the range of values for a 127-Excess code with eight pre-decimal and zero decimal places. **(2 Points)**



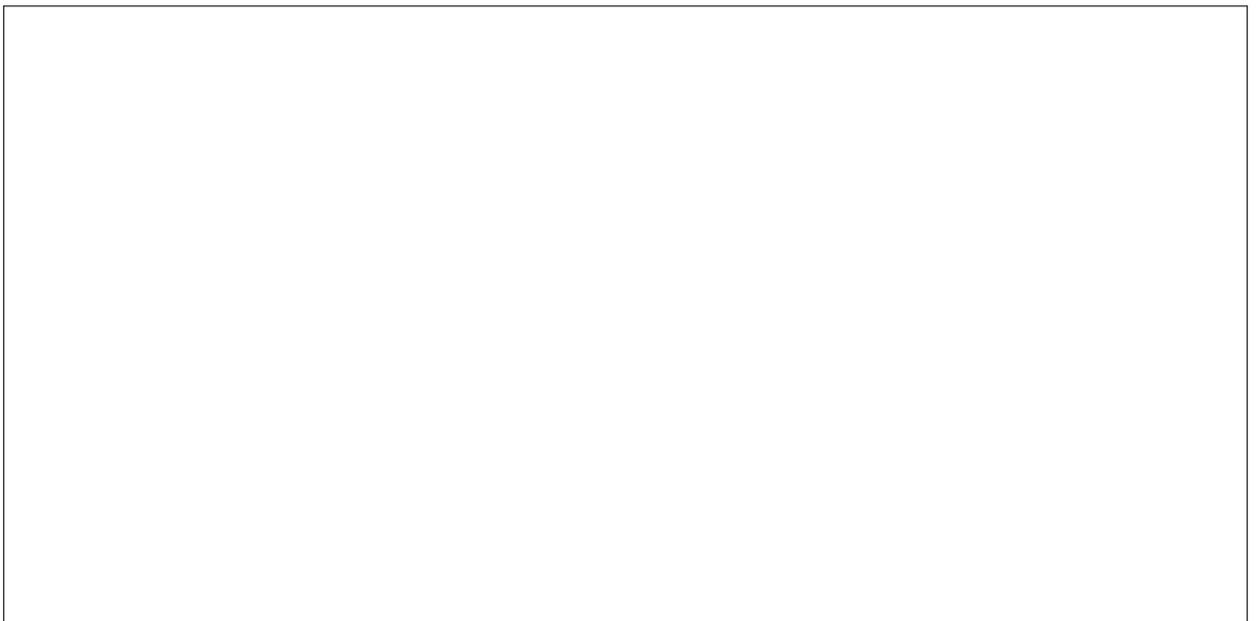
3. What is the general offset for an offset code so that the range of values is equal to a set of Two's complement numbers? Both codes with  $p$  pre-decimal and  $q$  decimal places. **(2 Points)**



3. Transformieren Sie die Dezimalzahl 1056,40625 in die IEEE-754 Darstellung mit einfacher Präzision. (5 Punkte)



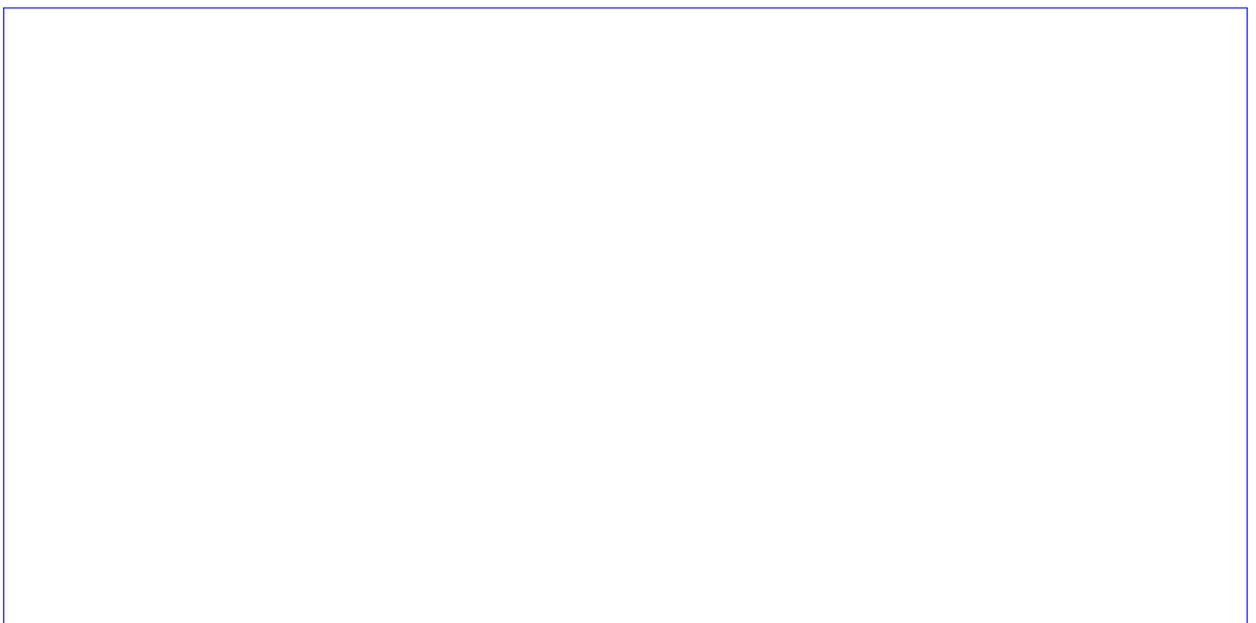
4. Erläutern Sie, warum das Assoziativgesetz beim Rechnen mit IEEE-Zahlen nur theoretische Gültigkeit hat. Beschreiben Sie dazu den Sachverhalt, der beim Rechnen mit IEEE-Zahlen berücksichtigt werden muß, um eine möglichst hohe Genauigkeit zu erhalten. (5 Punkte)



3. Transform the decimal number 1056,40625 into IEEE-754 code with single precision. (5 Points)



4. Explain why the law of associativity applies only in theory for IEEE numbers. Explain the circumstance that needs to be considered when calculating with IEEE numbers to retain as much accuracy as possible. (5 Points)



**Aufgabe 3: ALU, Latch und Flip-Flop (20 Punkte)**

Für die Berechnung des dreidimensionalen Skalarprodukts in einer Grafikkarte soll ein Blockdiagramm aus arithmetisch-logischen Einheiten (ALU) mit entsprechenden Funktionen erstellt werden.

**Entwerfen Sie NICHT die booleschen Gleichungen!**

**Vernachlässigen Sie die Breiten der Signalleitungen!**

1. Entwerfen Sie ein Blockdiagramm mit ALUs für die Eingänge AX, AY, AZ und BX, BY, BZ zweier dreidimensionaler Vektoren A und B und einem Ausgang S für das Skalarprodukt von A und B. **(6 Punkte)**

Blockdiagramm für  $S = AX \cdot BX + AY \cdot BY + AZ \cdot BZ$ :

2. Ergänzen Sie das Blockdiagramm in Aufgabenteil 1, sodass der Ausgang S mit der steigenden Flanke eines Taktsignals CLK in einem Speicher gespeichert werden kann. Verwenden Sie das passende digitale Speicherelement mit korrekter technischer Bezeichnung. **(2 Punkte)**

**Exercise 3: ALU, Latch and Flip-Flop****(20 Points)**

A block diagram shall be developed for the calculation of a three-dimensional scalar product in a graphics card derived from Arithmetic Logic Units (ALUs) with respective functions.

**Do NOT develop the boolean equations!**

**Ignore the widths of the signal lines!**

1. Develop a block diagram with ALUs for the inputs  $AX, AY, AZ$  and  $BX, BY, BZ$  of two three-dimensional vectors  $A$  and  $B$  and an output  $S$  for the scalar product of  $A$  and  $B$ . **(6 Points)**

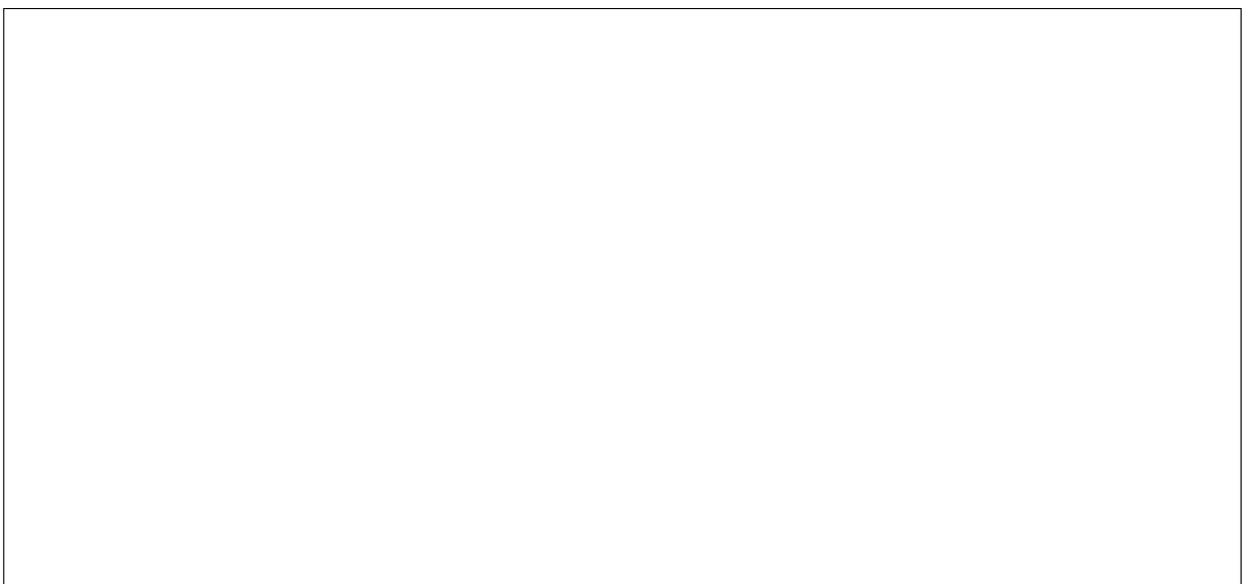
Block diagram for  $S = AX \cdot BX + AY \cdot BY + AZ \cdot BZ$ :

2. Complement the block diagram in part 1 so that the output  $S$  is stored in a storage by the rising edge of a clock signal  $CLK$ . Utilize the appropriate digital storage element and label it with the correct technical term. **(2 Points)**

3. Erweitern Sie das Blockdiagramm aus Aufgabenteil 2 zu einer zwei- (6 Punkte)  
stufigen Pipeline, welche the Latenz möglichst halbiert.  
Zeichnen Sie das Blockdiagramm neu.



4. Vergleichen Sie die Latenz der Schaltungen in Aufgabenteil 2 und 3. (6 Punkte)  
Berechnen Sie die theoretischen Latenzen für das erste, zweite, dritte  
und  $n$ -te Ergebnis. Vergleichen und beurteilen Sie die Latenzen.  
Hinweis: Nehmen Sie dazu gleichverteilte Latenzen in der Pipeline an.



3. Complement the block diagram in part 2 to become a two-stage pipeline that halves the latency if possible. **(6 Points)**  
Redraw the block diagram.



4. Compare the latencies of the circuits in part 2 and 3. **(6 Points)**  
Derive the theoretic latencies for the first, second, third and  $n$ -th result. Compare and assess the latencies.  
Hint: Assume equally distributed latencies in the pipeline.

